

SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

Publication number: JP11097706

Publication date: 1999-04-09

Inventor: YAMAZAKI SHUNPEI; KOYAMA JUN; FUKUNAGA KENJI

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- international: H01L29/786; H01L21/336; H01L29/66; H01L21/02; (IPC1-7): H01L29/786; H01L21/336

- European:

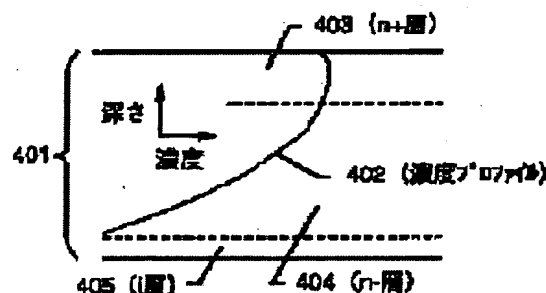
Application number: JP19970276576 19970923

Priority number(s): JP19970276576 19970923

Report a data error here

Abstract of JP11097706

PROBLEM TO BE SOLVED: To improve productivity and form a field moderation layer having less unevenness in characteristics to improve reliability, by stacking a first conductive layer, a second conductive layer having a higher resistance than the first conductive layer, and a semiconductor layer of the same conductivity type as that of a channel forming region, toward a gate insulating film. **SOLUTION:** Phosphorus is added to a crystalline silicon film 401 by an ion implantation method. Thus, a first conductive layer 403, which is a region containing phosphorus at a high concentration, is formed on the surface of the crystalline silicon film 401, and a second conductive layer 402 containing phosphorus at a low concentration and having a higher resistance than the first conductive layer 403 is formed on the inner side from the first conductive layer 403. Thus, the first conductive layer 403 is provided with a function as a part of a source/drain electrode, and the second conductive layer 402 is provided with a function as a lightly doped drain(LDD) region for field moderation. Moreover, an intrinsic region 405 to which phosphorus is intentionally not added is formed below the second conductive layer 402 by using a semiconductor layer of the same conductivity type as a channel forming region.



Data supplied from the esp@cenet database - Worldwide

Family list

6 family members for: JP11097706

Derived from 5 applications

[Back to JP11097706](#)

- 1 SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME**
Inventor: YAMAZAKI SHUNPEI; KOYAMA JUN; (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** H01L29/786; H01L21/336; H01L29/66 (+3)
Publication info: JP11097706 A - 1999-04-09
- 2 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**
Inventor: YAMAZAKI SHUNPEI; KOYAMA JUN; (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** H01L29/786; H01L21/336; H01L29/66 (+3)
Publication info: JP11103068 A - 1999-04-13
- 3 Channel etch type bottom gate semiconductor device**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L21/336D2C; H01L21/84; (+1) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+10)
Publication info: US6121660 A - 2000-09-19
- 4 Semiconductor device and method of manufacturing the same**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L21/336D2C; H01L21/84; (+1) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+7)
Publication info: US6680223 B1 - 2004-01-20
- 5 Semiconductor device and method of manufacturing the same**
Inventor: YAMAZAKI SHUNPEI (JP); KOYAMA JUN (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L21/336D2C; H01L21/84; (+1) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+6)
Publication info: US6924528 B2 - 2005-08-02
US2003207503 A1 - 2003-11-06

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97706

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.*

識別記号

F I

H 0 1 L 29/786
21/336

H 0 1 L 29/78

6 1 6 U

6 1 6 V

6 1 7 K

6 1 7 A

6 1 8 C

審査請求 未請求 請求項の数22 F D (全 15 頁) 最終頁に続く

(21) 出願番号

特願平9-276576

(22) 出願日

平成9年(1997) 9月23日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 福永 健司

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 簡易な製造工程によって、量産性が高く、且つ、信頼性及び再現性の高い半導体装置を提供する。

【解決手段】 結晶構造を有する半導体層で形成されたボトムゲイト型の半導体装置の構成において、ソース／ドレイン領域を、第1の導電層 (n^+ 層)、それより高抵抗な第2の導電層 (n^- 層) 及び真性または実質的に真性な半導体層 (i 層) からなる積層構造で構成する。この時、 n^- 層はLDD領域として機能し、 i 層は膜厚方向のオフセット領域として機能する。

【特許請求の範囲】

【請求項1】結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、

前記ソース領域及びドレイン領域は、ゲイト絶縁膜に向かって少なくとも第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有することを特徴とする半導体装置。

【請求項2】結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、

前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記第1の導電層から前記第2の導電層にかけて当該第1及び第2の導電層を構成する不純物の濃度プロファイルが連続的に変化していることを特徴とする半導体装置。

【請求項3】結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、

前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、

前記第2の導電層は $5 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲内で連続的に変化する不純物によって形成されていることを特徴とする半導体装置。

【請求項4】結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、

前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、

前記チャネル形成領域と前記第2の導電層との間には、膜厚の異なる二つのオフセット領域が存在することを特徴とする半導体装置。

【請求項5】結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、

前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、

前記チャネル形成領域と前記第2の導電層との間には、前記チャネル形成領域よりも膜厚の厚いオフセット領域が存在することを特徴とする半導体装置。

【請求項6】絶縁表面を有する基板上に形成されたゲイト電極と、

結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域と、

前記ソース領域及びドレイン領域上のそれぞれに形成されたソース電極及びドレイン電極と、

を有するボトムゲイト型の半導体装置であって、

前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、

前記ソース電極及び／又はドレイン電極は前記ゲイト電極に、前記チャネル形成領域上でオーバーラップしていることを特徴とする半導体装置。

【請求項7】結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、

前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、

前記チャネル形成領域と前記第1の導電層との間には、膜厚の異なる二つのオフセット領域と前記第2の導電層からなるHRD構造が存在することを特徴とする半導体装置。

【請求項8】請求項7において、前記膜厚の異なる二つのオフセット領域は、一方は前記チャネル形成領域と同一導電型かつ同一膜厚の半導体層からなる膜面方向のオフセットであり、他方は前記チャネル形成領域と同一導電型かつ前記チャネル形成領域よりも膜厚の厚い半導体層からなる膜厚方向のオフセットであることを特徴とする半導体装置。

【請求項9】請求項1乃至請求項7において、前記第1の導電層の膜厚は30～100nmであり、前記第2の導電層の膜厚は30～200 nmであり、前記チャネル形成領域と同一導電型の半導体層の膜厚は100～300 nmであり、前記チャネル形成領域の膜厚は10～100 nmであることを特徴とする半導体装置。

【請求項10】請求項9において、前記第1の導電層、前記第2の導電層、前記チャネル形成領域と同一導電型の半導体層の順に膜厚が厚くなっていることを特徴とする半導体装置。

【請求項11】請求項1乃至請求項7において、前記チャネル形成領域と同一導電型の半導体層は、前記第2の導電層の下に存在する真性または実質的に真性な半導体層(i層)であり、前記チャネル形成領域よりも膜厚が厚いことを特徴とする半導体装置。

【請求項12】請求項1乃至請求項7において、前記第1の導電層及び前記第2の導電層は13族または15族から選ばれた元素によって導電性を与えられた半導体層

3

であることを特徴とする半導体装置。

【請求項13】請求項1乃至請求項7において、少なくとも前記チャネル形成領域にはしきい値電圧制御用の不純物が $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ の濃度で添加されていることを特徴とする半導体装置。

【請求項14】請求項1乃至請求項7において、前記チャネル形成領域及び当該チャネル形成領域と同一導電型の半導体層にしきい値電圧制御用の不純物が $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ の濃度で添加されていることを特徴とする半導体装置。

【請求項15】請求項13または請求項14において、前記しきい値電圧制御用の不純物とはボロン、インジウムまたはガリウムであることを特徴とする半導体装置。

【請求項16】請求項1乃至請求項7において、前記第1の導電層にはNi、Ge、Pt、Co、Fe、Au、Pd、Pb、Cuから選ばれた一種または複数種の元素が含まれていることを特徴とする半導体装置。

【請求項17】絶縁表面を有する基板上にゲイト電極、ゲイト絶縁層、非晶質半導体膜を形成する工程と、前記非晶質半導体膜に対して結晶化を助長する触媒元素を添加し、加熱処理により結晶構造を有する半導体膜を得る工程と、前記結晶構造を有する半導体膜に対して15族のみ或いは13族及び15族から選ばれた不純物を添加する工程と、加熱処理により前記不純物を含む導電層に対して前記触媒元素をゲッタリングさせる工程と、前記導電層上にソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極をマスクとして前記結晶構造を有する半導体膜をエッチングすることでチャネル形成領域を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項18】絶縁表面を有する基板上にゲイト電極、ゲイト絶縁層、非晶質半導体膜を形成する工程と、前記非晶質半導体膜に対して結晶化を助長する触媒元素を添加し、加熱処理により結晶構造を有する半導体膜を得る工程と、前記結晶構造を有する半導体膜に対して15族のみ或いは13族及び15族から選ばれた不純物を添加する工程と、加熱処理により前記不純物を含む導電層に対して前記触媒元素をゲッタリングさせる工程と、前記導電層上にソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極をマスクとして前記結晶構造を有する半導体膜をエッチングすることでチャネル形成領域を形成する工程と、前記ソース電極及びドレイン電極をマスクとしてしきい値電圧制御用の不純物を添加する工程と、

4

を有することを特徴とする半導体装置の作製方法。

【請求項19】請求項17または請求項18において、前記触媒元素とはNi、Ge、Pt、Co、Fe、Au、Pd、Pb、Cuから選ばれた一種または複数種の元素であることを特徴とする半導体装置の作製方法。

【請求項20】請求項17または請求項18において、前記15族のみから選ばれた不純物とはリンであり、前記13族及び15族から選ばれた不純物とはボロンとリンであることを特徴とする半導体装置の作製方法。

10 【請求項21】請求項20において、前記不純物の添加工程はイオン注入法またはイオンドーピング法により行われることを特徴とする半導体装置の作製方法。

【請求項22】請求項17または請求項18において、前記加熱処理はファーネスアニールまたはランプアニールにより行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

20 【発明が属する技術分野】本願発明は結晶構造を有する半導体薄膜を利用した半導体装置およびその作製方法に関する。特に、逆スタガ構造の薄膜トランジスタ（以下、TFTと略記する）の構成に関する。

【0002】

30 【従来の技術】従来より、アクティブマトリクス型液晶表示装置（以下、AMLCDと略記する）のスイッチング素子としてTFTが利用されている。現在では非晶質珪素膜（アモルファスシリコン膜）を活性層として利用したTFTで回路構成を行う製品が市場を占めている。特に、TFT構造としては製造工程の簡単な逆スタガ構造が多く採用されている。

【0003】しかし、年々AMLCDの高性能化が進み、TFTに求められる動作性能（特に動作速度）は厳しくなる傾向にある。そのため、非晶質珪素膜を用いたTFTの動作速度では十分な性能を有する素子を得ることが困難となった。

【0004】そこで、非晶質珪素膜に代わって多結晶珪素膜（ポリシリコン膜）を利用したTFTが脚光を浴び、多結晶珪素膜を活性層とするTFTの開発が著しい勢いで進んできている。現在では、その一部で製品化も行われている。

40 【0005】活性層として多結晶珪素膜を利用した逆スタガ型TFTの構造については既に多くの発表がなされている。例えば、「Fabrication of Low-Temperature Bottom-Gate Poly-Si TFTs on Large-Area Substrate by Linear-Beam Excimer Laser Crystallization and Ion Doping Method: H. Hayashi et. al., IEDM95, PP829-832, 1995」などの報告がある。

50 【0006】同報告書では多結晶珪素膜を利用した逆スタガ構造の典型的な例（Fig. 4）を説明しているが、この様な構造の逆スタガ構造（いわゆるチャネルストップ

型)では様々な問題も抱えている。

【0007】まず、活性層全体が50nm程度と極めて薄いのでチャネル形成領域とドレイン領域との接合部において衝突電離(Impact Ionization)が発生し、ホットキャリア注入などの劣化現象が顕著に現れてしまう。そのため、大きなLDD領域(Light Doped Drain region)を形成する必要性が生じる。

【0008】そして、このLDD領域の制御性が最も重大な問題となる。LDD領域は不純物濃度と領域の長さの制御が非常に微妙であり、特に長さ制御が問題となる。現状ではマスクパターンによってLDD領域の長さを規定する方式が採られているが、微細化が進めば僅かなパターンニング誤差が大きなTFT特性の差を生む。

【0009】活性層の膜厚のバラツキによるLDD領域のシート抵抗のバラツキも深刻な問題となる。さらに、ゲイト電極のテーパ角度等のバラツキもLDD領域の効果のバラツキを招く要因となりうる。

【0010】また、LDD領域を形成するためにはパターンニング工程が必要であり、それはそのまま製造工程の増加、スループットの低下を招く。上記報告書に記載された逆スタガ構造では最低でもマスク6枚(ソース/ドレイン電極形成まで)が必要であると予想される。

【0011】以上の様に、チャネルストップ型の逆スタガ構造ではチャネル形成領域の両側に横方向の平面内でLDD領域を形成しなくてはならず、再現性のあるLDD領域を形成することは非常に困難である。

【0012】

【本発明が解決しようとする課題】本願発明では、非常に簡易な製造工程によって、量産性が高く、且つ、信頼性及び再現性の高い半導体装置を作製する技術を提供することを課題とする。

【0013】

【課題を解決するための手段】本明細書で開示する発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記ソース領域及びドレイン領域は、ゲイト絶縁膜に向かって少なくとも第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有することを特徴とする。

【0014】また、他の発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記第1の導電層から前記第2の導電層にかけて当該第1及び第2の導電層を構成する不純物の濃度プロファイルが連続的に変化していることを特徴とする。

【0015】また、他の発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記第2の導電層は $5 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲内で連続的に変化する不純物によって形成されていることを特徴とする。

【0016】また、他の発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記チャネル形成領域と前記第2の導電層との間には、膜厚の異なる二つのオフセット領域が存在することを特徴とする。

【0017】また、他の発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記チャネル形成領域と前記第2の導電層との間には、前記チャネル形成領域よりも膜厚の厚いオフセット領域が存在することを特徴とする。

【0018】また、他の発明の構成は、絶縁表面を有する基板上に形成されたゲイト電極と、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域と、前記ソース領域及びドレイン領域上のそれぞれに形成されたソース電極及びドレイン電極と、を有するボトムゲイト型の半導体装置であって、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記ソース電極及び/又はドレイン電極は前記ゲイト電極に、前記チャネル形成領域上でオーバーラップしていることを特徴とする。

【0019】また、他の発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有

し、前記チャネル形成領域と前記第1の導電層との間には、膜厚の異なる二つのオフセット領域と前記第2の導電層からなるHRD構造が存在することを特徴とする。

【0020】なお、前記膜厚の異なる二つのオフセット領域は、一方は前記チャネル形成領域と同一導電型かつ同一膜厚の半導体層からなる膜面方向のオフセットであり、他方は前記チャネルと同一導電型かつ前記チャネル形成領域よりも膜厚の厚い半導体層からなる膜厚方向のオフセットであることを特徴とする。

【0021】また、作製方法に関する他の発明の構成は、絶縁表面を有する基板上にゲイト電極、ゲイト絶縁層、非晶質半導体膜を形成する工程と、前記非晶質半導体膜に対して結晶化を助長する触媒元素を添加し、加熱処理により結晶構造を有する半導体膜を得る工程と、前記結晶構造を有する半導体膜に対して15族のみ或いは13族及び15族から選ばれた不純物を添加する工程と、加熱処理により前記不純物を含む導電層に対して前記触媒元素をゲッタリングさせる工程と、前記導電層上にソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極をマスクとして前記結晶構造を有する半導体膜をエッチングすることでチャネル形成領域を形成する工程と、を有することを特徴とする。

【0022】また、他の発明の構成は、絶縁表面を有する基板上にゲイト電極、ゲイト絶縁層、非晶質半導体膜を形成する工程と、前記非晶質半導体膜に対して結晶化を助長する触媒元素を添加し、加熱処理により結晶構造を有する半導体膜を得る工程と、前記結晶構造を有する半導体膜に対して15族のみ或いは13族及び15族から選ばれた不純物を添加する工程と、加熱処理により前記不純物を含む導電層に対して前記触媒元素をゲッタリングさせる工程と、前記導電層上にソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極をマスクとして前記結晶構造を有する半導体膜をエッチングすることでチャネル形成領域を形成する工程と、前記ソース電極及びドレイン電極をマスクとして前記チャネル形成領域のみに対してしきい値電圧制御用の不純物を添加する工程と、を有することを特徴とする。

【0023】

【発明の実施の形態】以上の構成からなる本願発明の実施の形態について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0024】

【実施例】

【実施例1】本願発明の代表的な実施例について、図1～3を用いて説明する。まず、図1を用いて本願発明の半導体装置の作製方法を説明する。

【0025】ガラス基板（または石英、シリコン基板）101上に珪素を主成分とする絶縁膜でなる下地膜102を形成する。その上に導電性膜でなるゲイト電極（第1配線）103を形成する。

【0026】ゲイト電極103の線幅は1～10 μ m（代表的には3～5 μ m）とする。また、膜厚は200～500nm（代表的には250～300nm）とする。本実施例では250nm厚のTa/TaN（タンタル/窒化タンタル）積層膜を用いて線幅3 μ mのゲイト電極を形成する。

【0027】また、ゲイト電極103としては、少なくとも600℃（好ましくは800℃）の温度に耐えうる耐熱性を有する材料（タンタル、タングステン、チタン、クロム、モリブデン、導電性シリコン等）を用いる。その理由は後述する。ここで1回目のパターニング工程（ゲイト電極形成）が行われる。

【0028】次に、窒化珪素膜104（膜厚は0～200nm、代表的には25～100nm、好ましくは50nm）、SiO_xN_yで示される酸化窒化珪素膜又は酸化珪素膜（膜厚は150～300nm、代表的には200nm）105からなるゲイト絶縁層を形成し、その上に珪素を主成分とする非晶質半導体膜106を形成する。本実施例では非晶質珪素膜を例とするが他の化合物半導体膜（ゲルマニウムを含む非晶質珪素膜等）を用いても良い。

【0029】また、本願発明はチャネルエッチ型のボトムゲイト構造であるので、非晶質珪素膜106の膜厚は厚く形成しておく。膜厚範囲は100～600nm（典型的には200～300nm、好ましくは250nm）とする。本実施例では200nmとする。また、後述するが、最適な膜厚は本願発明のTFTにどのようなオフセット領域、LDD領域を設けるかによって適宜決定する必要がある。

【0030】なお、本実施例では減圧熱CVD法により非晶質珪素膜106を成膜するが、成膜の際に炭素、酸素、窒素といった不純物の濃度を徹底的に管理することが望ましい。これらの不純物が多いと後の結晶化を阻害する恐れがある。

【0031】本実施例では成膜した非晶質珪素膜中における各不純物の濃度が、炭素及び窒素が5 $\times 10^{18}$ atoms/cm³未満（代表的には5 $\times 10^{17}$ atoms/cm³以下）、酸素が1.5 $\times 10^{19}$ atoms/cm³未満（代表的には1 $\times 10^{18}$ atoms/cm³以下）となる様に制御する。この様な管理を行っておけば最終的にTFTのチャネル形成領域中に含まれる不純物濃度は上記範囲内に収まる。

【0032】こうして図1(A)の状態が得られる。その次に、珪素の結晶化を助長する触媒元素（代表的にはニッケル）を含んだ溶液をスピンコート法により塗布し、Ni（ニッケル）含有層107を形成する。詳細な条件は本発明者らによる特開平7-130652号公報記載の技術（ここでは同公報の実施例1）を参照すると良い。なお、同公報の実施例2に記載された技術を用いても良い。（図1(B)）

【0033】なお、同公報ではNiを含んだ水溶液を塗布する手段を示しているが、以下の添加手段を用いることも可能である。

(1) イオン注入法又はイオンドーピング法による直接

的添加。

(2) Ni電極を用いたプラズマ処理による添加。

(3) CVD法、スパッタ法または蒸着法によるNi膜またはNi_xSi_y (ニッケルシリサイド) 膜の形成。

【0034】また、珪素の結晶化を助長する触媒元素としては、Ni以外にもGe (ゲルマニウム)、Co (コバルト)、白金 (Pt)、パラジウム (Pd)、鉄 (Fe)、銅 (Cu)、金 (Au)、鉛 (Pb) 等を用いることができる。

【0035】Ni含有層107を形成したら、450~500℃2時間程の加熱処理 (水素出し工程) の後、500~700℃ (代表的には550~600℃) の温度で2~12時間 (代表的には4~8時間) の加熱処理を行い、結晶構造を有する半導体膜 (本実施例の場合には結晶性珪素膜 (ポリシリコン膜)) 108を得る。本実施例の場合、結晶化は非晶質珪素膜106の表面近傍から始まり、概略矢印の方向に向かって進行する。(図1(C))

【0036】次に、レーザー光またはそれと同等の強度を持つ強光を照射することにより結晶性珪素膜108の結晶性の改善工程を行う。ここでは粒内欠陥の低減、不整合粒界の低減及び非晶質成分の結晶化などが行われ、非常に結晶性に優れた結晶性珪素膜109が得られる。

(図1(D))

【0037】次に、15族から選ばれた元素 (代表的にはリン、砒素またはアンチモン) をイオン注入法 (質量分離あり) またはイオンドーピング法 (質量分離なし) により添加する。本実施例では結晶性珪素膜109の表面から深さ30~100nm (代表的には30~50nm) の範囲において、リン濃度が $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $1 \times 10^{20} \text{ atoms/cm}^3$) となる様に調節する。

【0038】本実施例ではこの様にして形成された高濃度のリンを含む領域110をn⁺層 (または第1の導電層) と呼ぶ。この層の厚さは30~100nm (代表的には30~50nm) の範囲で決定する。この場合、n⁺層110は後にソース/ドレイン電極の一部として機能する。本実施例では30nm厚のn⁺層を形成する。

【0039】また、n⁺層110の下に形成される低濃度リンを含む領域111をn⁻層 (または第2の導電層) と呼ぶ。この場合、n⁻層111はn⁺層110よりも高抵抗となり、後に電界緩和のためのLDD領域として機能する。本実施例では30nm厚のn⁻層を形成する。(図1(E))

【0040】また、この時、リンを添加する際の深さ方向の濃度プロファイルが非常に重要である。この事について図4を用いて説明する。なお、図4に示す濃度プロファイルは加速電圧を80keV、RF電力を20Wとしてイオンドーピング法によりフォスフィン (PH₃) を添加した場合の例である。

【0041】図4において、401は結晶性珪素膜、402は添加されたリンの濃度プロファイルを示してい

る。この濃度プロファイルはRF電力、添加イオン種、加速電圧等の設定条件によって決定される。

【0042】この時、濃度プロファイル402のピーク値はn⁺層403内部又は界面近傍にあり、結晶性珪素膜401の深くにいく程 (ゲート絶縁膜に向かうほど)、リン濃度は低下する。この時、リン濃度は膜内部全域に渡って連続的に変化するためn⁺層403の下には必ずn⁻層404が形成される。

【0043】そして、このn⁻層404の内部においてもリン濃度は連続的に低下していく。本実施例では、リン濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ を超える領域をn⁺層403として考え、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲にある領域をn⁻層404として考えている。ただし、明確な境界は存在しないため、目安として考えている程度である。

【0044】また、リン濃度が極端に低下した領域及びそのさらに下層は真性または実質的に真性な領域 (i層) 405となる。なお、真性な領域とは意図的に不純物が添加されない領域を言う。また、実質的に真性な領域とは、不純物濃度 (ここではリン濃度) が珪素膜のスピン密度以下である領域又は不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ の範囲で一導電性を示す領域を指す。

【0045】この様な真性または実質的に真性な領域はn⁻層404の下に形成される。ただし、i層405は基本的にチャネル形成領域と同一導電型の半導体層から構成される。即ち、チャネル形成領域が弱いn型又はp型を示す様な場合には、同様の導電型を示す。

【0046】この様に、n⁺層の形成にイオン注入法またはイオンドーピング法を用いることによりn⁺層の下にn⁻層を形成することができる。従来の様にn⁺層を成膜で設けた場合にはこの様な構成は実現できない。また、イオン添加時の条件を適切に設定することでn⁺層とn⁻層の厚さ制御を容易に行うことができる。

【0047】特に、n⁻層111の厚さは後にLDD領域の厚さとなるため、非常に精密な制御が必要である。イオンドーピング法等では添加条件の設定によって深さ方向の濃度プロファイルが精密に制御できるので、LDD領域の厚さ制御が容易に行える。本願発明ではn⁻層111の厚さを30~200nm (代表的には50~150nm) の範囲で調節すれば良い。

【0048】次に、図1(E)の状態が得られたら、500~700℃ (代表的には600~650℃) の温度で0.5~8時間 (代表的には1~4時間) の加熱処理 (ファーンズアニール) を行い、結晶性珪素膜中のNiをn⁺層110へと移動させる。この時、Niは概略矢印の方向に向かってゲッタリングされる。(図2(A))

【0049】この様に、本実施例はn⁺層110、n⁻層111に含まれたリンをNiをゲッタリングするために利用し、n⁺/n⁻層をゲッタリング領域として活用する点に大きな特徴がある。また、Niをゲッタリング

10

20

30

40

50

した n^+ / n^- 層の一部はそのままソース/ドレイン領域を構成する第1及び第2の導電層として残るが、ゲッタリング後は不活性なリン化ニッケルとなるので問題はない。

【0050】また、この場合、Niが移動すべき距離は結晶性珪素膜の膜厚分に相当する距離でしかないので非常に速やか（短時間のうち）にゲッタリングが終了する。そのため、（1）添加するリン濃度の低減、（2）加熱処理温度の低下、（3）加熱処理時間の短縮化を実現しうる。

【0051】なお、本実施例ではガラス基板上にTFTを作製するのでガラスの耐熱性でプロセス最高温度が決定されてしまう。しかしながら、基板として石英基板など耐熱性の高い基板を用いれば、ゲッタリングのための加熱処理の最高温度を1000℃（好ましくは800℃）にまで上げることができる。温度が800℃を超えるとゲッタリング領域から被ゲッタリング領域へのリンの逆拡散が起こり始めるので好ましくない。

【0052】また、ゲイト電極103の耐熱性を少なくとも600℃（好ましくは800℃）の温度に耐えうる様にしたのは、このゲッタリング工程を考慮しての事である。勿論、ゲッタリング工程をファーンズアニールによらず、ランプアニール等で行う場合にはゲイト電極の許容範囲も広がる。

【0053】こうして触媒元素を n^+ / n^- 層へとゲッタリングしたら、結晶性珪素膜のパターニングを行い、島状半導体層112を形成する。この時、最終的にTFTが完成した時にキャリアの移動方向に対して垂直な方向の長さ（チャンネル幅（W））が1〜30μm（代表的には10〜20μm）となる様に調節する。ここで2回目のパターニング工程が行われる。（図2（B））

【0054】ここで図面上には図示されないが、露出したゲイト絶縁層の一部をエッチングし、ゲイト電極（第1配線）と次に形成する電極（第2配線）との電気的接続をとるためのコンタクトホール（図2（D）の119で示される領域）を開口する。ここで3回目のパターニング工程が行われる。

【0055】次に、導電性を有する金属膜（図示せず）を成膜し、パターニングによりソース電極113、ドレイン電極114を形成する。本実施例ではTi（50nm）/Al（200〜300nm）/Ti（50nm）の3層構造からなる積層膜を用いる。また、上述の様にゲイト電極と電気的に接続するための配線も同時に形成されている。ここで4回目のパターニング工程が行われる。（図2（C））

【0056】また、後述するが、ゲイト電極103の真上の領域、即ちソース電極113とドレイン電極114とで挟まれた領域（以下、チャンネルエッチ領域と呼ぶ）115の長さ（ C_1 で示される）が後にチャンネル形成領域とオフセット領域の長さを決定する。 C_1 は2〜20μm

m（代表的には5〜10μm）の範囲から選べるが、本実施例では $C_1 = 4μm$ とする。

【0057】次に、ソース電極113及びドレイン電極114をマスクとしてドライエッチングを行い、自己整合的に島状半導体層112をエッチングする。そのため、チャンネルエッチ領域115のみでエッチングが進行する。（図2（D））

【0058】この時、 n^+ 層110は完全にエッチングされ、真性または実質的に真性な領域（i層）のみが残された形でエッチングを止める。本願発明では最終的に10〜100nm（代表的には10〜75nm、好ましくは15〜45nm）の半導体層のみを残す。本実施例では30nm厚の半導体層を残すことにする。

【0059】こうして島状半導体層112のエッチング（チャンネルエッチ工程）が終了したら、保護膜116として酸化珪素膜または窒化珪素膜を形成して、図2（D）に示す様な構造の逆スタガ型TFTを得る。

【0060】この状態において、チャンネルエッチされた島状半導体層112のうち、ゲイト電極113の真上に位置する領域はチャンネル形成領域117となる。本実施例の構成ではゲイト電極幅がチャンネル形成領域の長さに対応し、 L_1 で示される長さをチャンネル長と呼ぶ。また、ゲイト電極113の端部よりも外側に位置する領域118は、ゲイト電極113からの電界が及ばず、オフセット領域となる。この長さは X_1 で示される。

【0061】本実施例の場合、ゲイト電極113の線幅（ L_1 に相当する）が3μmであり、チャンネルエッチ領域115の長さ（ C_1 ）が4μmであるので、オフセット領域の長さ（ X_1 ）は0.5μmとなる。

【0062】ここで、ドレイン領域（ドレイン電極114と接する半導体層）を拡大したものを図3に示す。図3において、103はゲイト電極、301はチャンネル形成領域、302は n^+ 層（ソースまたはドレイン電極）、303、304は膜厚の異なるオフセット領域、305は n^- 層（LDD領域）である。

【0063】なお、ここでは説明しないがソース領域（ソース電極113と接する半導体層）も同様の構造を有している。

【0064】また、図3に示す構造は模式的に記されているが、各領域の膜厚関係には注意が必要である。本願発明を構成するにあたって最も好ましい構成は、膜厚の厚さが n^+ 層302< n^- 層305<オフセット領域（i層）304の関係にある場合である。

【0065】なぜならば n^+ 層302は電極として機能するだけなので薄くて十分である。一方、 n^- 層305及びオフセット領域304は電界緩和を効果的に行うために適切な厚さが必要である。

【0066】本実施例の構成では、チャンネル形成領域301から n^+ 領域302に至るまでに膜厚の異なる二つのオフセット領域303、304及びLDD領域305

が存在する。なお、303はマスク合わせにより形成される膜面方向のオフセット領域であり、マスクオフセット領域と呼ぶ。

【0067】また、304はi層の膜厚分に相当する膜厚方向のオフセット領域であり、厚さオフセット領域と呼ぶ。厚さオフセット領域304の厚さは100～300nm（代表的には150～200nm）の範囲で決定すれば良い。ただし、チャネル形成領域の膜厚よりも膜厚をが厚くする必要がある。チャネル形成領域よりも膜厚が薄いと良好なオフセット効果を望めない。

【0068】この様なオフセット+LDDからなる構造を本発明者らはHRD（High Resistance Drain）構造と呼び、通常のLDD構造とは区別して考えている。本実施例の場合、HRD構造はマスクオフセット+厚さオフセット+LDDの3段構造で構成されることになる。

【0069】この時、LDD領域303はLDD領域の膜厚及び不純物濃度によって制御されるため、非常に再現性が高く、特性バラツキが小さいという利点を有する。パターンニングによって形成されたLDD領域ではパターンニング誤差による特性バラツキが問題となることは従来例で述べた通りである。

【0070】なお、マスクオフセット領域303の長さ（ X_1 ）はパターンニングによって制御されるため、パターンニングやガラスの縮み等による誤差の影響を受ける。しかしながら、その後に厚さオフセット領域304とLDD領域305とが存在するので誤差による影響は緩和され、特性バラツキを小さくすることができる。

【0071】なお、マスクオフセットの長さ（ X_1 ）はチャネル長（ L_1 ）とチャネルエッチ領域の長さ（ C_1 ）を用いて（ $C_1 - L_1$ ）／2で表される。従って、ソース／ドレイン電極形成時のパターンニング工程によって所望のオフセット長（ X_1 ）を設定することが可能である。本実施例の構成ではオフセット長（ X_1 ）は0.3～3 μ m（代表的には1～2 μ m）とすることができる。

【0072】なお、図2（D）に示す様な構造の逆スタガ型TFTは、従来の非晶質珪素膜を活性層（島状半導体層）として利用したTFTでは実現できない。なぜならば、非晶質珪素膜を用いる場合、ソース／ドレイン電極とゲイト電極とがオーバーラップする様な構造にしないとキャリア（電子または正孔）の移動度が極めて遅くなってしまふからである。

【0073】ソース／ドレイン電極とゲイト電極とがオーバーラップする様な構造にしたとしても非晶質珪素膜を用いたTFTのモビリティ（電界効果移動度）はせいぜい1～10 cm^2/Vs 程度である。それに対して本実施例の様な構造を採用してしまつてはモビリティが低すぎてスイッチング素子として機能しない。

【0074】ところが、本願発明では活性層として結晶性珪素膜を利用しているのでキャリア移動度が十分に速

い。従って、本実施例の様な構造としても十分なモビリティを得ることが可能である。即ち、本実施例の構造は半導体層として結晶構造を有する半導体膜を用いたからこそ実現できるのである。

【0075】また、本実施例の逆スタガ型TFTは、HRD構造を有しているので衝突電離によるホットキャリア注入などの劣化現象に対して非常に強く、高い信頼性を有している。しかも、LDD領域の効果が支配的な上、そのLDD領域が非常に制御性よく形成されているので特性バラツキが非常に小さい。

【0076】そのため、本実施例の様な構造は高耐圧を必要とし、高い動作速度はそれほど必要としない様な回路を構成するTFTに好適である。

【0077】また、本実施例の作製工程に示した様に、図2（D）に示した構造の逆スタガ型TFTを得るのに4枚のマスクしか必要としていない。これは従来のチャネルストップ型TFTが6枚マスクを必要としていた事を考えると、スループット及び歩留りが飛躍的に向上することを意味している。

【0078】以上の様に、本実施例の構成によれば量産性の高い作製工程によって、高い信頼性と再現性を有するボトムゲイト型TFTを作製することが可能である。

【0079】なお、本実施例の作製工程に従って作製したボトムゲイト型TFT（Nチャネル型TFT）のモビリティは30～250 cm^2/Vs （代表的には10～150 cm^2/Vs ）、しきい値電圧は0～3Vを実現しうる。

【0080】〔実施例2〕本実施例では本願発明の構成において、実施例1とは異なる構成例を示す。TFTの作製工程は基本的には実施例1に従えば良いので、本実施例では必要な部分のみを説明することにする。

【0081】まず、実施例1の作製工程に従って図5（A）の状態を得る。ここで実施例1と異なる点は、ソース電極501、ドレイン電極502を形成する際にチャネルエッチ領域500の長さを C_2 とする点にある。この時、 C_2 はゲイト電極幅よりも狭く、2～9 μ m（代表的には2～4 μ m）の範囲で選ばれる。即ち、ゲイト電極とソース／ドレイン電極とがオーバーラップする様に設けることが本実施例の特徴となる。

【0082】この状態で実施例1に示した様にチャネルエッチ工程を行い、保護膜を設けると図5（B）の状態を得る。この時、503で示される領域がチャネル形成領域となり、そのチャネル長は L_2 （ $=C_2$ ）で表される。また、マスク設計によりオーバーラップさせた領域（マスクオーバーラップ領域と呼ぶ）504の長さ（ Y_2 ）はゲイト電極幅をEとすると、（ $E - L_2$ ）／2で表される。

【0083】図5（C）はドレイン領域の拡大図であるが、TFT動作時のキャリアは、チャネル形成領域503（厚さ50nm）、マスクオーバーラップ領域504（厚さ160nm）、LDD領域505（厚さ50nm）を通してn

+ 層506 (厚さ40nm)、ドレイン電極502へと到達する。

【0084】なお、この場合、マスクオーバーラップ領域504にもゲイト電極からの電界が形成されるが、LDD領域505に近づくにつれて電界は弱まるので、その様な領域は実質的にLDD領域と同様の機能を持つ。勿論、さらにLDD領域505に近づけば完全に電界が形成されなくなり、オフセット (厚さオフセット) 領域としても機能しうる。

【0085】この様に本実施例の構造ではHRD構造が、オーバーラップによる実質的なLDD+厚さオフセット+低濃度不純物によるLDDで構成される。また、オーバーラップ領域504の膜厚が薄い場合には、オーバーラップによる実質的なLDD+低濃度不純物によるLDDのみからなるLDD構造もとりうる。

【0086】本実施例の構成においても、オーバーラップ領域504、LDD領域505がそれぞれの膜厚で制御されるので非常に特性バラツキが小さい。また、オーバーラップ領域の長さ (Y_2) はパターンニング等による誤差を含むが、オーバーラップによるLDD、厚さ方向のオフセット及び低濃度不純物によるLDDはその様な誤差の影響を受けないので Y_2 の誤差による特性バラツキは緩和される。

【0087】なお、本実施例の様な構造はオフセット成分が少なく、高い動作速度を必要とする様な回路を構成するTFTに好適である。

【0088】また、本実施例の構造では衝突電離によってチャネル形成領域内に蓄積した少数キャリアが速やかにソース電極へと引き抜かれるので基板浮遊効果を起こしにくいという利点を有する。そのため、動作速度が速い上に非常に耐圧特性の高いTFTを実現することが可能である。

【0089】〔実施例3〕本実施例では本願発明の構成において、実施例1、2とは異なる構成例を示す。TFTの作製工程は基本的には実施例1に従えば良いので、本実施例では必要な部分のみを説明することにする。

【0090】まず、実施例1の作製工程に従って図6 (A) の状態を得る。ここで実施例1と異なる点は、ソース電極601、ドレイン電極602を形成する際にチャネルエッチ領域600の長さを C_3 とする点にある。この時、 C_3 はゲイト電極幅と一致させるため、1~10 μm (代表的には3~5 μm) となる。

【0091】この状態で実施例1に示した様にチャネルエッチ工程を行い、保護膜を設けると図6 (B) の状態を得る。この時、603で示される領域がチャネル形成領域となり、そのチャネル長は $L_3 (=C_3)$ で表される。

【0092】図6 (C) はドレイン領域の拡大図であるが、TFT動作時のキャリアは、チャネル形成領域603 (厚さ100 nm)、厚さオフセット領域604 (厚さ15

0 nm)、LDD領域605 (厚さ100 nm) を通って n^+ 層606 (厚さ50nm)、ドレイン電極602へと到達する。即ち、本実施例の構造ではHRD構造が厚さオフセット+LDDの2段構造で構成される。

【0093】本実施例の構成においても、厚さオフセット領域604、LDD領域605がそれぞれの膜厚で制御されるので非常に特性バラツキが小さい。また、十分な耐圧特性を得ることが可能である。

【0094】〔実施例4〕本実施例では本願発明の構成において、実施例1~3とは異なる構成例を示す。TFTの作製工程は基本的には実施例1に従えば良いので、本実施例では必要な部分のみを説明することにする。

【0095】まず、実施例1の作製工程に従って図7 (A) の状態を得る。ここで実施例1と異なる点は、ソース電極701、ドレイン電極702を形成する際にソース電極またはドレイン電極のいずれか一方をゲイト電極にオーバーラップさせ、他方はオーバーラップさせない構成とする点にある。

【0096】なお、本実施例ではチャネルエッチ領域700の長さを C_4 とする。この時、 C_4 は1~10 μm (代表的には3~6 μm) の範囲で選ばれる。

【0097】この状態で実施例1に示した様にチャネルエッチ工程を行い、保護膜を設けると図7 (B) の状態を得る。この時、703で示される領域がチャネル形成領域となり、そのチャネル長は $L_4 (=C_4 - X_4)$ で表される。

【0098】ここで、 X_4 はマスクオフセット領域704の長さである。 X_4 の数値範囲については実施例1を参考にすれば良い。また、マスクオーバーラップ領域705の長さの数値範囲は実施例2を参考にすれば良い。

【0099】本実施例は、実施例1で説明したHRD構造と実施例2で説明したHRD構造 (またはLDD構造) とを組み合わせた構成である。構造的な説明は実施例1及び実施例2で既に説明したのでここでの説明は省略する。

【0100】本実施例の様な構造を採用する場合、特にソース領域に実施例2に示したHRD構造 (またはLDD構造) を用い、ドレイン領域に実施例1で説明したHRD構造を用いることが好ましい。

【0101】例えば、ドレイン領域側のチャネル端部 (接合部) では特に電界集中が激しく、実施例1に示した様な抵抗成分の多いHRD構造が望ましい。逆に、ソース側ではそこまでの高耐圧対策は必要ないので、実施例2に示した様な抵抗成分の少ないHRD (またはLDD) 構造が適している。

【0102】なお、本実施例において、ソース/ドレイン領域側のいずれか一方に実施例2の構成を組み合わせることも可能である。この様に、実施例1~3に示したHRD構造またはLDD構造を実施者が適宜選択してソース/ドレイン領域に採用し、回路設計を鑑みて最適な

構造を設計すれば良い。この場合、 $3^2 = 9$ 通りの組み合わせパターンが可能である。

【0103】〔実施例5〕本実施例では実施例1～4に示した構成のボトムゲイト型TFTを用いてCMOS回路（インバータ回路）を構成する場合の例について図8を用いて説明する。なお、CMOS回路は同一基板上に形成されたNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせて構成する。

【0104】図8は実施例4に示した構成を利用したCMOS回路であり、801はPチャネル型TFTのソース電極、802はNチャネル型TFTのソース電極、803はN/P共通のドレイン電極である。

【0105】また、Nチャネル型TFTは実施例1で説明した作製工程によって n^+ 層804、805、 n^- 層806、807が形成されている。一方、Pチャネル型TFTの方には p^{++} 層808、809、 p^- 層810、811が形成されている。

【0106】なお、同一基板上にCMOS回路を作製することは非常に容易である。本願発明の場合、まず、実施例1の工程に従って図2（B）の状態を得る。

【0107】この状態ではN型/P型関係なく15族から選ばれた元素が全面に添加されているが、Pチャネル型TFTを作製する場合にはNチャネル型TFTとする領域をレジストマスク等で隠して13族から選ばれた元素（代表的にはボロン、インジウムまたはガリウム）を添加すれば良い。

【0108】本実施例ではボロンを例にとるが、この時、ボロンはリンの濃度以上に添加して導電性を反転させなければならない。また、 n^+ 層及び n^- 層全てを完全に p^{++} 層及び p^- 層に反転させるためには、ボロン添加時の濃度プロファイル調節してリンの添加深さよりも深く添加することが重要である。

【0109】従って、ボロンの膜中における濃度プロファイルは図9のようになる。図9において、900は半導体層、901はボロン添加前のリンの濃度プロファイル、902はボロン添加後のボロンの濃度プロファイル、903は p^{++} 層、904は p^- 層、905はi層である。

【0110】この時、 p^{++} 層903の厚さは10～150 nm（代表的には50～100 nm）とし、 p^- 層904の厚さは30～300 nm（代表的には100～200 nm）とする。ただし、Pチャネル型TFTは元来劣化に強いので p^- 層をLDD領域として利用する必要性は必ずしもない。わざわざ p^- 層904の膜厚について言及したのは、イオン注入法等の添加手段を用いる限り、連続的に変化する濃度勾配によって必ず p^- 層が形成されるからである。

【0111】ところで、本実施例ではNチャネル型TFTとPチャネル型TFTのどちらもソース領域側には実施例2に示した構成のHRD構造（オーバーラップ領域を利用したタイプ）を用い、ドレイン領域側には実施例

1に示した構成のHRD構造（マスクオフセットを利用したタイプ）を設けている。

【0112】そのため、上面図で明らかな様にPチャネル型TFTのソース領域側には Y_i の長さを持つオーバーラップ領域を有し、ドレイン領域側には X_i の長さを持つマスクオフセット領域を有している。また、Nチャネル型TFTのソース領域側には Y_j の長さを持つオーバーラップ領域を有し、ドレイン領域側には X_j の長さを持つマスクオフセット領域を有している。

10 【0113】この時、 X_i と X_j 、 Y_i と Y_j の長さはそれぞれマスク設計によって自由に調節できる。従って、それぞれの長さは回路構成の必要に応じて適宜決定すれば良く、Nチャネル型とPチャネル型とで揃える必要はない。

【0114】また、このような構成ではCMOS回路の共通ドレインとなる領域の耐圧特性を高くすることができるので、動作電圧の高い回路を構成する場合において、非常に有効な構成である。

20 【0115】なお、実施例1～4に示した構成のTFTを用いたCMOS回路の構成を図8に示したが、これ以外の全ての組み合わせも可能であることは言うまでもない。可能な構成パターンとしては、一つのTFTについて9通りあるので、CMOS回路では $9^2 = 81$ 通りがある。これらの複数の組み合わせの中から、回路が必要とする性能に応じて最適な組み合わせを採用していけば良い。

【0116】また、本実施例に示した様に本願発明はPチャネル型TFTにも容易に適用することができる。その場合、本願発明のボトムゲイト型TFT（Pチャネル型TFT）のモビリティは $30 \sim 150 \text{ cm}^2/\text{Vs}$ （代表的には $10 \sim 100 \text{ cm}^2/\text{Vs}$ ）、しきい値電圧は $-1 \sim -3 \text{ V}$ を実現しうる。

【0117】〔実施例6〕本実施例では、珪素の結晶化を助長する触媒元素としてGe（ゲルマニウム）を利用した場合の例について説明する。Geを利用する場合、汎用性の高さからイオン注入法、イオンドーピング法またはプラズマ処理による添加を行うことが好ましい。また、Geを含む雰囲気中で熱処理を行うことで気相から添加することも可能である。

30 【0118】GeはSi（シリコン）と同じ14族に属する元素であるため、Siとの相性が非常に良い。GeとSiとの化合物（ $\text{Si}_x\text{Ge}_{1-x}$ ）で示される。ただし $0 < x < 1$ ）は本願発明の半導体層として活用することもできることは既に述べた。

【0119】そのため、本実施例の様にGeを用いた非晶質珪素膜の結晶化を行った場合、結晶化後に触媒元素をゲッタリングする必要性がない。勿論、ゲッタリング工程を行っても構わないが、TFT特性に影響はない。

50 【0120】従って、ゲッタリング工程の加熱処理を省略することができるので製造工程のスループットが大幅

に向上する。また、 $\text{Si}_x\text{Ge}_{1-x}$ 膜を用いた T F T は高いモビリティを示すことが知られているので、珪素膜中における Ge の含有量が適切であれば動作速度の向上も期待しうる。

【0121】なお、本実施例の構成は実施例 1 ~ 5 のいずれの構成に対しても適用することが可能である。

【0122】〔実施例 7〕本実施例では、本願発明の T F T に対してしきい値電圧を制御するための工夫を施した場合の例について説明する。

【0123】しきい値電圧を制御するために 13 族（代表的にはボロン、インジウム、ガリウム）または 15 族（代表的にはリン、砒素、アンチモン）から選ばれた元素をチャネル形成領域に対して添加する技術はチャネルドーブと呼ばれている。

【0124】本願発明に対してチャネルドーブを行うことは有効であり、以下に示す 2 通りの方法が簡易で良い。

【0125】まず、非晶質珪素膜を成膜する時点において成膜ガスにしきい値電圧を制御するための不純物を含むガス（例えばジボラン、フォスフィン等）を混在させ、成膜と同時に所定量を含有させる方式がある。この場合、工程数を全く増やす必要がないが、N 型及び P 型の両 T F T に対して同濃度が添加されるため、両者で濃度を異ならせるといった要求には対応できない。

【0126】次に、図 2 (D) で説明した様なチャネルエッチ工程（チャネル形成領域の形成工程）が終了した後で、ソース／ドレイン電極をマスクとしてチャネル形成領域（またはチャネル形成領域とマスクオフセット領域）に対して選択的に不純物添加を行う方式がある。

【0127】添加方法はイオン注入法、イオンドーピング法、プラズマ処理法、気相法（雰囲気からの拡散）、固相法（膜中からの拡散）など様々な方法を用いることができるが、チャネル形成領域が薄いので、気相法や固相法等の様にダメージをあたえない方法が好ましい。

【0128】なお、イオン注入法等を用いる場合には、T F T 全体を覆う保護膜を設けてから行えばチャネル形成領域のダメージを減らすことができる。

【0129】また、不純物を添加した後はレーザーアニール、ランプアニール、ファーンズアニールまたはそれらを組み合わせて不純物の活性化工程を行う。この時、チャネル形成領域が受けたダメージも殆ど回復する。

【0130】本実施例を実施する場合、チャネル形成領域には $1 \times 10^{15} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ ）の濃度でしきい値電圧を制御するための不純物を添加すれば良い。

【0131】そして、本実施例を本願発明の T F T に実施した場合、N チャネル型 T F T のしきい値電圧を 0.5 ~ 2.5 V の範囲に収めることができる。また、P チャネル型 T F T に適用した場合にはしきい値電圧を -0.1 ~ -2.0 V の範囲に収めることが可能である。

【0132】なお、本実施例の構成は実施例 1 ~ 6 のいずれの構成との組み合わせも可能である。また、実施例 5 の CMOS 回路に適用する場合、N 型 T F T と P 型 T F T とで添加濃度や添加する不純物の種類を異なるものとすることもできる。

【0133】〔実施例 8〕図 2 (D) に示した構造では、島状半導体層を完全に囲む様にしてソース電極 113 とドレイン電極 114 とが形成されている。本実施例ではこれとは別の構成について説明する。

【0134】図 10 (A) に示す構造は、基本的には図 2 (D) と似ているが、ソース電極 11 及びドレイン電極 12 の形状が異なる点に特徴がある。即ち、一部において島状半導体層（厳密にはソース／ドレイン領域）よりも a で示される距離だけ内側にソース電極 11 及びドレイン電極 12 が形成されている。

【0135】また、13 で示される領域は、チャネル形成領域 14 と同じ膜厚を有する領域であり、距離 a の幅を持つ。図面上では模式的に表しているが、距離 a は 1 ~ 300 μm （代表的には 10 ~ 200 μm ）である。

【0136】ここで作製工程と照らし合わせて本実施例の特徴を説明する。本実施例では図 10 (B) に示す様にソース電極 11 及びドレイン電極 12 を形成する。ここで 15 は島状半導体層であり、端部 16 が露出する。

【0137】この状態でチャネルエッチ工程を行うと、ソース電極 11 及びドレイン電極 12 がマスクとなって自己整合的に島状半導体層 15 がエッチングされる。この場合、端部 16 も同時にエッチングされる。

【0138】この様にして図 10 (A) の様な構造が得られる。従って、端部 16 がチャネル形成領域 14 と同じ膜厚を有することは明らかである。

【0139】この島状半導体層の突出部 13 を形成する理由は以下の 2 つがある。

(1) チャネルエッチ工程におけるエッチングモニタとして利用する。

(2) 後工程で保護膜や層間絶縁膜を形成する際に、島状半導体層の段差によるカバレッジ不良を低減する。

【0140】エッチングモニタとしては、製造過程における抜き取り検査によってチャネル形成領域が適切な膜厚となっているかどうかを検査する場合に用いる。

【0141】なお、本実施例の構成は実施例 1 ~ 7 のいずれの構成とも組み合わせることが可能である。

【0142】〔実施例 9〕本実施例では実施例 5 に示した CMOS 回路（インバータ回路）の回路構成の例について図 11 を用いて説明する。

【0143】図 11 (A) に示すのは、図 8 に示したものと同一構造の CMOS 回路である。この場合、回路構成はゲート電極 20、N 型 T F T の半導体層 21、P 型 T F T の半導体層 22、N 型 T F T のソース電極 23、P 型 T F T のソース電極 24、共通ドレイン電極 25 から構成される。

【0144】なお、各端子部 a、b、c、d はそれぞれ図 11 (C) に示したインバータ回路の端子部 a、b、c、d に対応している。

【0145】次に、図 11 (B) に示すのは、N 型 TFT と P 型 TFT とでドレイン領域となる半導体層を共通化した場合の例である。各符号は図 11 (A) で説明した符号に対応している。

【0146】図 11 (B) の構造では TFT 同士を非常に高い密度で形成することができるため、回路を高集積化する場合などに非常に有効である。共通化した半導体層は PN 接合を形成するが問題とはならない。

【0147】【実施例 10】本実施例では、実施例 1 ~ 5 の構成の TFT 及び CMOS 回路を作製する過程において、加熱処理の手段としてランプアニールを用いる場合の例を示す。

【0148】ランプアニールとしては RTA (Rapid Thermal Anneal) による熱処理が知られている。これは赤外ランプからの強光を照射することにより短時間（数秒から数十秒）で高温の加熱処理を行う技術であり、スループットが非常に良い。また、赤外光以外に補助的に紫外光を用いる場合もある。

【0149】本願発明においては、非晶質半導体膜の結晶化工程、結晶性半導体膜の結晶性改善工程、触媒元素のゲッタリング工程、しきい値制御のための不純物の活性化工程等に加熱処理を行う。この様な時に本実施例を利用することができる。

【0150】なお、本実施例の構成と他の実施例の構成とは自由に組み合わせることが可能である。

【0151】【実施例 11】本実施例では実施例 1 とは異なる手段で触媒元素のゲッタリングを行う場合について説明する。

【0152】実施例 1 では 15 族から選ばれた元素のみを利用してゲッタリング工程を行っているが、触媒元素のゲッタリング工程は 13 族及び 15 族から選ばれた元素が添加された状態でも実施することができる。

【0153】その場合、まず図 1 (E) に示す状態を得たら、N チャネル型 TFT となる領域のみをレジストマスクで隠して次にボロンを添加する。即ち、N チャネル型 TFT となる領域にはリンのみが存在し、P チャネル型 TFT となる領域にはボロンのみが存在する。

【0154】そして、その状態で加熱処理を行い、触媒元素のゲッタリング工程を実施すれば良い。本発明者らの実験ではリンのみによるゲッタリング効果よりもリン+ボロンによるゲッタリング効果の方が効果が高いことが確かめられている。ただし、ボロンのみではゲッタリング効果はなく、リン+リンよりも高濃度のボロンという組み合わせの時に高いゲッタリング効果を示した。

【0155】なお、本実施例の構成と他の実施例の構成とは自由に組み合わせることが可能である。

【0156】【実施例 12】基板として耐熱性の高い石

英基板やシリコン基板を用いている場合、 n^+ 導電層及び n^- 導電層を形成する前にハロゲン元素を含む酸化性雰囲気中で 700 ~ 1100℃ 程度の加熱処理を行うことも有効である。これはハロゲン元素による金属元素のゲッタリング効果を利用する技術である。

【0157】また、この技術と実施例 11 に示した様なゲッタリング工程とを併用することでさらに徹底的に非晶質半導体膜の結晶化に利用した触媒元素を除去することができる。こうして、触媒元素を少なくともチャネル形成領域から徹底的に除去しておけば信頼性の高い半導体装置を得ることができる。

【0158】

【発明の効果】本願発明を実施することで、非常に少ないマスク数（典型的には 4 枚）で量産性の高い半導体装置を作製することができる。

【0159】また、チャネル形成領域とソース/ドレイン電極間に、特性バラツキの小さい電界緩和層（LDD 領域、マスクオフセット領域、厚さオフセット領域等）が形成できるので、信頼性が高く且つ再現性の高い半導体装置を実現することが可能である。

【図面の簡単な説明】

【図 1】 薄膜トランジスタの作製工程を示す図。

【図 2】 薄膜トランジスタの作製工程を示す図。

【図 3】 薄膜トランジスタの構成を示す拡大図。

【図 4】 膜中の濃度プロファイルを示す図。

【図 5】 薄膜トランジスタの構成を示す図。

【図 6】 薄膜トランジスタの構成を示す図。

【図 7】 薄膜トランジスタの構成を示す図。

【図 8】 CMOS 回路の構成を示す図。

【図 9】 膜中の濃度プロファイルを示す図。

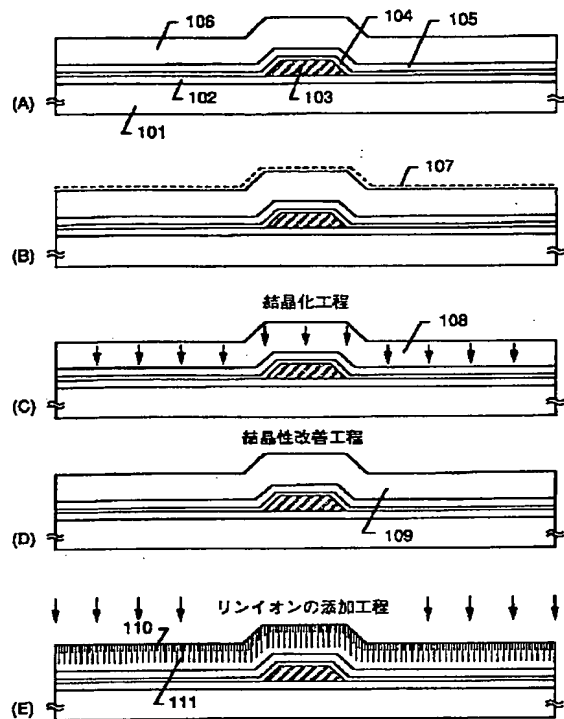
【図 10】 薄膜トランジスタの構成を示す図。

【図 11】 CMOS 回路の構成を示す図。

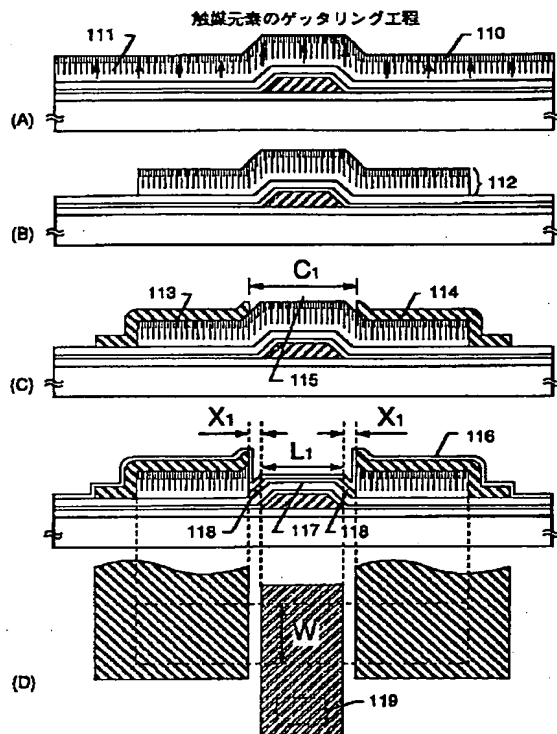
【符号の説明】

101	基板
102	下地膜
103	ゲイト電極
104	窒化珪素膜
105	酸化窒化珪素膜
106	非晶質半導体膜
107	ニッケル含有層
108	結晶性半導体膜
109	結晶性半導体膜
110	n^+ 層（第 1 導電層）
111	n^- 層（第 2 導電層）
112	島状半導体層
113	ソース電極
114	ドレイン電極
115	チャネルエッチ領域
116	保護膜
117	チャネル形成領域

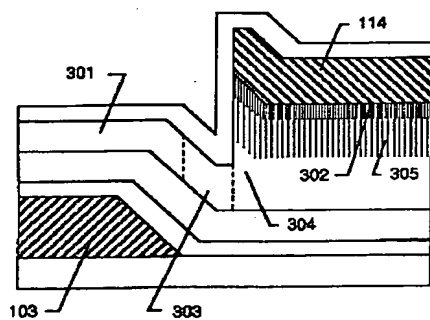
【図1】



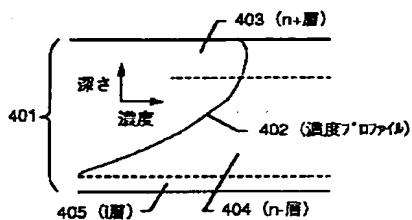
【図2】



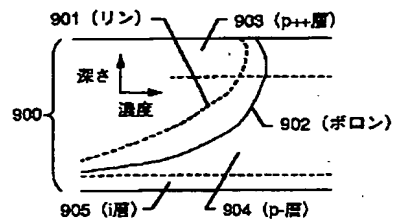
【図3】



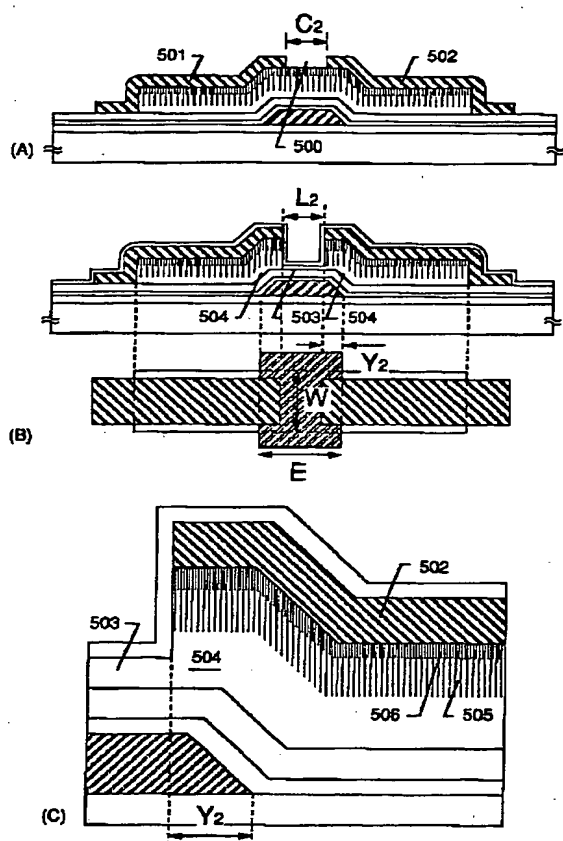
【図4】



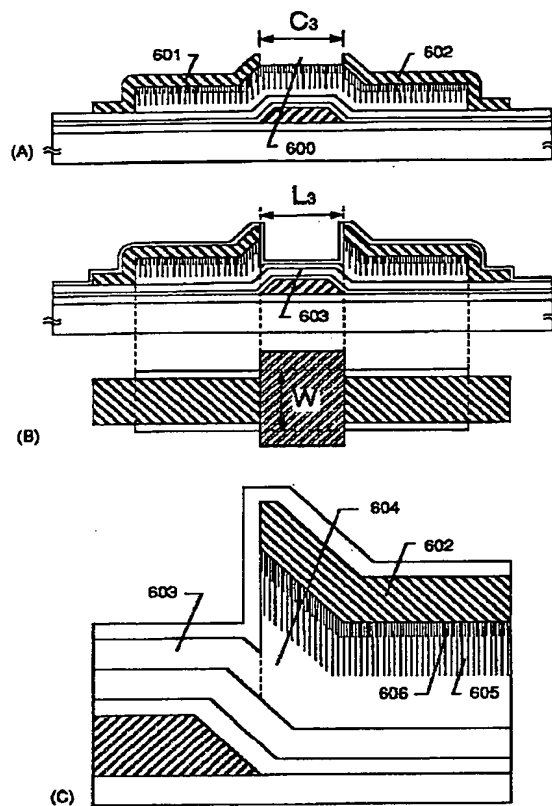
【図9】



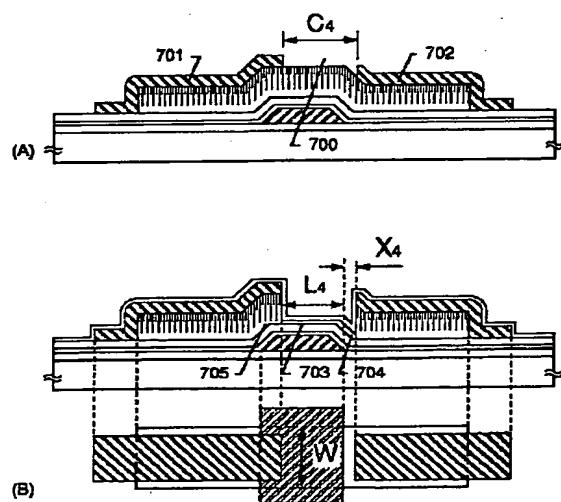
【図 5】



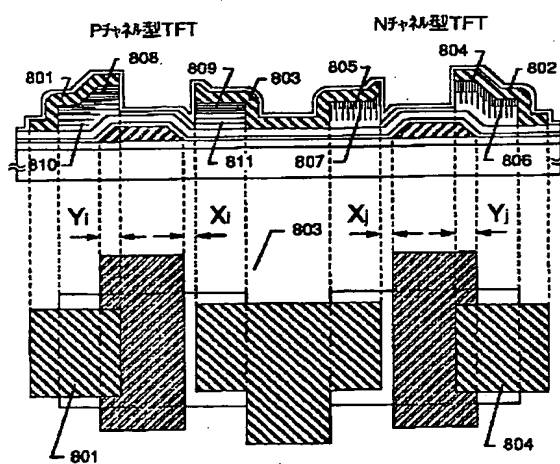
【図 6】



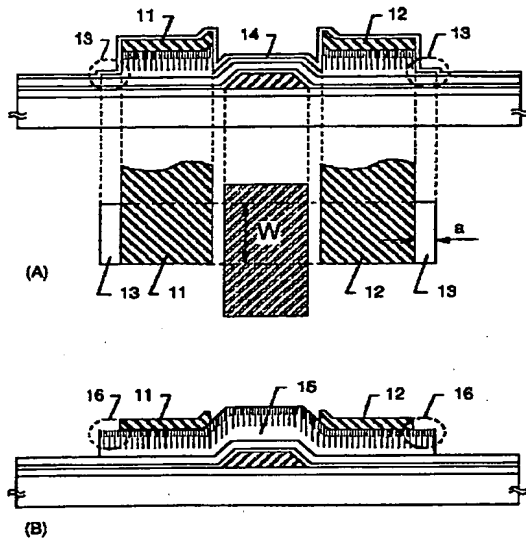
【図 7】



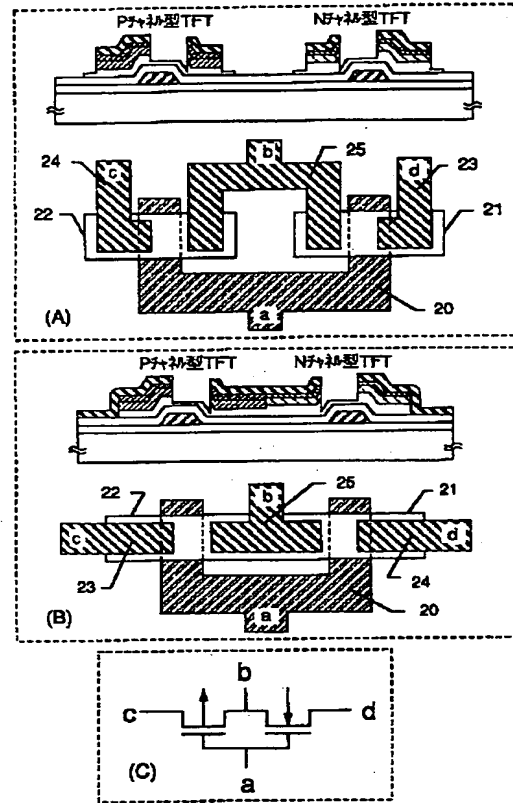
【図 8】



【図10】



【図11】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I
H O I L 29/78

6 1 8 F
6 1 8 G
6 2 7 G